

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-264754
 (43)Date of publication of application : 11.10.1996

(51)Int.Cl. H01L 29/74
 H01L 29/744

(21)Application number : 07-067276

(71)Applicant : KANSAI ELECTRIC POWER CO INC:THE
 MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.03.1995

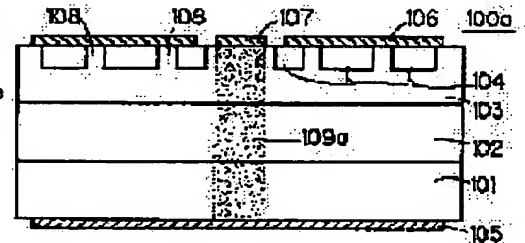
(72)Inventor : NISHIO TORU
 HAYASHIDA HIROSHI
 SATO KATSUMI

(54) THYRISTOR

(57)Abstract:

PURPOSE: To provide a thyristor wherein the turn-off time is short and the on-voltage is low.

CONSTITUTION: A thyristor 100a is provided with an anode electrode 105 on which a P emitter layer 101, an N base layer 102 and a P base layer 103 are laminated in order. A gate electrode 107 is formed in the central part on the P base layer 103. An N emitter layer 104 is selectively formed on the P base layer 103, and has locally apertures 108, in which the P base layer 103 is exposed to the upper surfaces. A cathode electrode 106 is formed on the P base layer 103 so as to surround the gate electrode 107, and electrically short-circuits the P base layer 103 and the N emitter layer 104. Defects are introduced in the region 109a below the gate electrode 107, so that minority carriers left in the region 109a at the time of reverse recovery quickly vanish.



LEGAL STATUS

[Date of request for examination] 20.11.2000
 [Date of sending the examiner's decision of rejection] 27.08.2002
 [Kind of final disposal of application other than the
 examiner's decision of rejection or application converted
 registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of
 rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-264754

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/74			H 0 1 L 29/74	A
29/744				C
				F

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平7-67276

(22) 出願日 平成7年(1995)3月27日

(71) 出願人 000156938
関西電力株式会社
大阪府大阪市北区中之島3丁目3番22号

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72) 発明者 西尾 徹
大阪市北区中之島3丁目3番22号 関西電力株式会社内

(72) 発明者 林田 弘
大阪市北区中之島3丁目3番22号 関西電力株式会社内

(74) 代理人 弁理士 高田 守 (外4名)

最終頁に続く

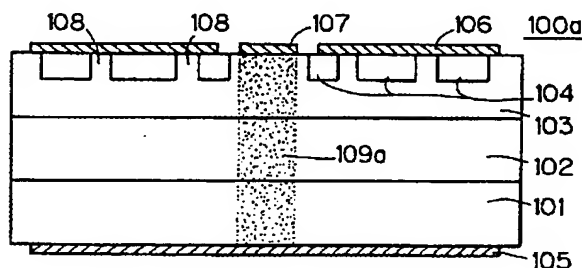
(54) 【発明の名称】 サイリスタ

(57) 【要約】

【目的】 ターンオフ時間が短く、且つオン電圧の低いサイリスタを提供する。

【構成】 サイリスタ100aはアノード電極105と、この上に順次積層されたPエミッタ層101、Nベース層102、Pベース層103とを備えている。Pベース層103上の中央にはゲート電極107が設けられ、Pベース層103上には選択的にNエミッタ層104が形成されている。但し、局所的にNエミッタ層104は開孔部108を有しており、開孔部108において、Pベース層103がその上面に露呈している。また、カソード電極106はゲート電極107を取り巻くようにPベース層103上に設けられており、Pベース層103及びNエミッタ層104を短絡している。ゲート電極107の下方の領域109aに欠陥が導入されている。

【効果】 逆回復時に領域109aにおいて残置された少数キャリアが迅速に消滅する。



1

【特許請求の範囲】

【請求項1】 (a) 第1導電型の第1エミッタ層と、
 (b) 前記第1エミッタ層上に設けられた、前記第1導電型とは逆の導電型である第2導電型の第1ベース層と、
 (c) 前記第1ベース層上に設けられた、前記第1導電型の第2ベース層と、
 (d) 前記第2ベース層の上面内に選択的に設けられた、前記第2導電型の第2エミッタ層と、
 (e) 前記第2ベース層のみに接触するゲート電極と、
 (f) 前記第1エミッタ層のみに接触する第1電極と、
 (g) 前記第2ベース層及び前記第2エミッタ層の両方に接触するカソード電極とを備え、

前記第1ベース層は

(b-1) 前記ゲート電極の下方に存在し、少数キャリアに対して第1のライフタイムを与える第1の領域と、
 (b-2) 前記カソード電極の下方に存在し、前記少数キャリアに対して前記第1のライフタイムよりも長い第2のライフタイムを与える第2の領域とに区分されるサイリスタ。

【請求項2】 前記第1の領域は

(b-1-1) 前記第1ベース層と前記第2ベース層との境界近傍に存在し、前記少数キャリアに対して第3のライフタイムを与える第3の領域と、

(b-1-2) 前記第1ベース層と前記第1エミッタ層との境界近傍に存在し、前記少数キャリアに対して前記第3のライフタイムよりも長い第4のライフタイムを与える第4の領域とに区分され、

前記第3のライフタイムは前記第2ベース層の少数キャリアに対するライフタイムよりも短い、請求項1記載のサイリスタ。

【請求項3】 (h) 前記第2ベース層の上面内で、前記第2エミッタ層と、前記ゲート電極直下に位置する前記第2ベース層との間に選択的に設けられた、前記第2導電型の第5の領域と、

(i) 前記第5の領域と前記第2エミッタ層との両方に接触する補助電極とを更に備え、

前記第1エミッタ層、前記第1ベース層、前記第2ベース層及び前記第5の領域は補助サイリスタを構成する、請求項1又は請求項2記載のサイリスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はターンオフ時間が短く、且つオン電圧の低いサイリスタに関するものである。

【0002】

【従来の技術】 サイリスタにおいて、逆回復動作が十分に完了しない内に、即ちNベース層中に少数キャリアが残留している状態の時に、順方向に電圧が印加された場合にターンオフの失敗が生じる。これは残留キャリアが

2

順方向に印加された電圧によって移動し、電流が発生し、その内のゲート電極下方の領域で発生する分がゲートトリガ電流と同等の機能をするためである。即ち外部からゲートトリガ電流を与えなくても、アノード電極及びカソード電極の間に順方向に電圧が印加されるだけでサイリスタが点弧されてしまう。

【0003】 ターンオフ時間は逆回復動作開始時から再び順方向に電圧が印加されてもオフ状態を保つための最小時間であり、この時間が経過しない間に順方向に電圧が印加されると、上記の様にターンオフが失敗する。換言すれば、印加される交流電圧の周波数に対して、ターンオフ時間を十分短くすることができなければ上記ターンオフが失敗する。

【0004】 ターンオフ時間を短くするためには、Nベース層中に残留している少数キャリアを迅速に消滅させなければならない。

【0005】 図11及び図12はそれぞれ従来のサイリスタ400の平面図及びBB断面図である。サイリスタ400はアノード電極405と、この上に順次積層されたPエミッタ層401、Nベース層402、Pベース層403とを備えている。

【0006】 Pベース層403上の中央にはゲート電極407が設けられる。そして、ゲート電極407の下方のPベース層403を取り巻くように、Pベース層403上には選択的にNエミッタ層404が形成されている。但し、局所的にNエミッタ層404は開孔部408を有しており、開孔部408において、Pベース層403がその上面に露呈している。

【0007】 また、カソード電極406はゲート電極407を取り巻くようにPベース層403上に設けられており、Nエミッタ層404の内径及び外径よりも内径及び外径が大きい。そして、カソード電極406はPベース層403及びNエミッタ層404を短絡しており、サイリスタ400はいわゆるエミッタ短絡型構造を有している。

【0008】 サイリスタ400においては、Pエミッタ層401、Nベース層402、Pベース層403及びNエミッタ層404の全てにおいて結晶欠陥を導入し、Nベース層402において残留する少数キャリアのライフタイムを短くし、速やかに消滅させる。かかる結晶欠陥の導入は例えば荷電粒子をサイリスタ400の全体に照射することによって実現される。

【0009】

【発明が解決しようとする課題】 サイリスタ400においては、Nベース層402において残留する少数キャリアのライフタイムを短くするため、全ての不純物層に結晶欠陥を導入し、全ての不純物層におけるキャリアのライフタイムを短くしている。

【0010】 しかし、少数キャリアのライフタイム τ とオン電圧 V_f の間には以下の関係がある。

【0011】 $V_T = K \cdot \ln(W/L)$

$L = \sqrt{D/\tau}$

但し、Kは比例定数であり、WはNベース層402の厚みであり、Lは少数キャリアの拡散長であり、Dは拡散定数である。

【0012】この関係から解る様に、ライフタイム τ を短くすると、オン電圧 V_T が増大する。そのため、オン電流を通电させている期間のロスが増大するという問題点が生じる。

【0013】この発明は上記の様な問題点を解消するためになされたもので、ターンオフ時間が短く、且つオン電圧の低いサイリスタを提供することを目的としている。

【0014】

【課題を解決するための手段】この発明のうち請求項1にかかるものは、(a)第1導電型の第1エミッタ層と、(b)前記第1エミッタ層上に設けられた、前記第1導電型とは逆の導電型である第2導電型の第1ベース層と、(c)前記第1ベース層上に設けられた、前記第1導電型の第2ベース層と、(d)前記第2ベース層の上面内に選択的に設けられた、前記第2導電型の第2エミッタ層と、(e)前記第2ベース層のみに接触するゲート電極と、(f)前記第1エミッタ層のみに接触する第1電極と、(g)前記第2ベース層及び前記第2エミッタ層の両方に接触するカソード電極とを備えるサイリスタである。そして前記第1ベース層は(b-1)前記ゲート電極の下方に存在し、少数キャリアに対して第1のライフタイムを与える第1の領域と、(b-2)前記カソード電極の下方に存在し、前記少数キャリアに対して前記第1のライフタイムよりも長い第2のライフタイムを与える第2の領域とに区分される。

【0015】この発明のうち請求項2にかかるものは、請求項1記載のサイリスタであって、前記第1の領域は(b-1-1)前記第1ベース層と前記第2ベース層との境界近傍に存在し、前記少数キャリアに対して第3のライフタイムを与える第3の領域と、(b-1-2)前記第1ベース層と前記第1エミッタ層との境界近傍に存在し、前記少数キャリアに対して前記第3のライフタイムよりも長い第4のライフタイムを与える第4の領域とに区分される。そして前記第3のライフタイムは前記第2ベース層の少数キャリアに対するライフタイムよりも短い。

【0016】この発明のうち請求項3にかかるものは、請求項1又は請求項2記載のサイリスタであって、(h)前記第2ベース層の上面内で、前記第2エミッタ層と、前記ゲート電極直下に位置する前記第2ベース層との間に選択的に設けられた、前記第2導電型の第5の領域と、(i)前記第5の領域と前記第2エミッタ層との両方に接触する補助電極とを更に備える。そして前記第1エミッタ層、前記第1ベース層、前記第2ベース層

及び前記第5の領域は補助サイリスタを構成する。

【0017】

【作用】この発明のうち請求項1にかかるサイリスタにおいては、主としてゲート電流が流れる第1の領域は逆回復時に第1ベース層に残置する少数キャリアを迅速に消滅させる。主としてオン電流が流れる第2の領域における少数キャリアのライフタイムは長いので、オン電圧を増大させない。

【0018】この発明のうち請求項2にかかるサイリスタにおいては、第2ベース層におけるライフタイムは第3のライフタイムよりも長いので、ターンオンする際に必要なゲートトリガ電流が劣化することがない。

【0019】この発明のうち請求項3にかかるサイリスタにおいては、補助サイリスタのみについて考えると、請求項1にかかる発明と同様にオン電圧を増大させることがない。

【0020】

【実施例】

第1実施例：図1及び図2はそれぞれ本発明の第1実施例であるサイリスタ100aの平面図及びAA断面図である。サイリスタ100aはアノード電極105と、この上に順次積層されたPエミッタ層101、Nベース層102、Pベース層103とを備えている。

【0021】Pベース層103上の中央にはゲート電極107が設けられる。そして、ゲート電極107の下方のPベース層103を取り巻くように、Pベース層103上には選択的にNエミッタ層104が形成されている。但し、局所的にNエミッタ層104は開孔部108を有しており、開孔部108において、Pベース層103がその上面に露呈している。

【0022】また、カソード電極106はゲート電極107を取り巻くようにPベース層103上に設けられており、Nエミッタ層104の内径及び外径よりも内径及び外径が大きい。そして、カソード電極106はPベース層103及びNエミッタ層104を短絡しており、サイリスタ100aはいわゆるエミッタ短絡型構造を有している。

【0023】サイリスタ100aは、上記の説明から解るように、半導体の積層構造及び電極の配置に関しては、従来のサイリスタ400と同一の構成を有している。しかし、従来のサイリスタ400とは異なり、結晶欠陥を導入する領域はゲート電極107の下方の領域109aに限定される。即ち、領域109aにおけるキャリアのライフタイムは領域109a以外の領域でのそれと比較して短くなる。

【0024】まずアノード電極105からカソード電極106にオン電流を通电した後、図示しない転流回路によってサイリスタ100aを逆回復動作に移行させる。すると、オン電流の通电時においてNエミッタ層104及びPエミッタ層101から注入されてNベース層10

5

2に蓄積された少数キャリアの内、アノード電極105とカソード電極106に挟まれた領域に存在するものは、逆回復電流として外部に流れ出す。

【0025】一方、Nベース層102に蓄積された少数キャリアの内、ゲート電極107下方の部分、即ち領域109aに存在するものは、結晶欠陥において再結合することによって消滅する。後に再び順方向に電圧が印加された場合にゲートトリガ電流として機能し得るキャリアはこの領域109aにおいてNベース層102に蓄積された少数キャリアであるので、領域109aにおいてのみキャリアのライフタイムを短くすれば、ターンオフ時間を短くするのに足りる。

【0026】他方、オン状態においてサイリスタ100aの動作を司るのはアノード電極105とカソード電極106に挟まれた領域であり、この領域の特性でほぼオン電圧が決まる。よってこの領域でのライフタイムを長くすることにより、前掲の式から解るように、オン電圧を抑制することができる。

【0027】以上のように、サイリスタ100aはオン電圧を増大させることなくターンオフ時間を短くすることができる。

【0028】結晶欠陥を所定の領域109aのみに導入するためには、ゲート電極107のみを露呈させる鉛板をマスクとして、電子線をゲート電極107に対向させて照射する事によって実現することができる。

【0029】図3は、第1実施例の変形例を示す断面図である。サイリスタ100bは半導体の積層構造及び電極の配置に関しては、サイリスタ100aと同一の構成を有している。しかし結晶欠陥を導入する領域109bは、領域109aと比較して、ゲート電極107の直下のみならずNエミッタ層104に隣接するにまで及んでいる。このように結晶欠陥を導入する領域を広げても、オン電圧を司る領域には結晶欠陥が導入されないでオン電圧を増大させない一方、少数キャリアが再結合する領域が広がるので、一層ターンオフ時間を短くすることに寄与する。

【0030】第2実施例：図4は本発明の第2実施例であるサイリスタ100bの断面図である。サイリスタ100bは半導体の積層構造及び電極の配置に関しては、第1実施例のサイリスタ100a、100bと同一の構成を有している。しかし、サイリスタ100a、100bとは異なり、結晶欠陥を導入する領域109cはゲート電極107の下方であって、且つNベース層102に限定される。

【0031】このように限定しても、Nベース層102に蓄積された少数キャリアがゲートトリガ電流として機能することを抑制することができる。既述のようにゲートトリガ電流として機能し得るキャリアはゲート下方においてNベース層102に蓄積された少数キャリアである為である。

6

【0032】その一方、Pベース層103には結晶欠陥が導入されないで、この部分におけるキャリアのライフタイムは領域109cよりも長い。従って、ターンオンする際に必要なゲートトリガ電流が結晶欠陥によって劣化することがなく、ゲート特性は変動しない。

【0033】このような結晶欠陥の導入は、鉛板をマスクとするプロトンの照射によって実現できる。マスクを使用することによって基板横方向へ広がってプロトンが照射されることを防止でき、飛程を調節することで、基板縦方向（厚さ方向）へ広がってプロトンが照射されることを防止できる。

【0034】図5は、第2実施例の変形例を示す断面図である。サイリスタ100dは半導体の積層構造及び電極の配置に関しては、サイリスタ100a～100cと同一の構成を有している。しかし結晶欠陥を導入する領域109dは、領域109cと比較して、ゲート電極107の直下のみならずNエミッタ層104に隣接するにまで及んでいる。このように結晶欠陥を導入する領域を広げても、オン電圧を司る領域には結晶欠陥が導入されないでオン電圧を増大させない一方、少数キャリアが再結合する領域が広がるので、一層ターンオフ時間を短くすることに寄与する。

【0035】なお、再結合にかかる少数キャリアの数を増大させるためには、即ち効率用句少数キャリアを再結合させるためには、領域109dはNベース層102の内、Pベース層103に近い領域に設定することが望ましい。Nベース層102の内Pベース層103に遠い領域に存在する少数キャリアをも再結合させるためである。

【0036】第3実施例：図6及び図7はそれぞれ本発明の第3実施例であるサイリスタ200aの平面図及びCC断面図である。図面の大きさの都合上、図6及び図7では対称な半分のみ示している。サイリスタ200aはアノード電極205、カソード電極206及びゲート電極207、並びにPエミッタ層201、Nベース層202、Pベース層203及びNエミッタ層204が形成されている。これらは第1及び第2実施例で示されたサイリスタ100a～100dにおけるアノード電極105、カソード電極106及びゲート電極107、並びにPエミッタ層101、Nベース層102、Pベース層103及びNエミッタ層104にそれぞれ対応しており、配置も同様である。

【0037】但し、サイリスタ200aにおいては、ゲート電極207とカソード電極206との間であってPベース層203の上面上に補助電極210が設けられている。そして補助電極210とゲート電極207との間に内周を露呈させるN層209がPベース層203において、ゲート電極207の下方の領域を取り巻くように選択的に形成されている。N層209の外周は補助電極210の下に存在し、補助電極210はN層209と、

N層209及びNエミッタ層204に挟まれたPベース層203とを電氣的に接続している。

【0038】補助電極210及びその下方に存在するN層209、Pエミッタ層201、Nベース層202及びPベース層203は補助サイリスタ300を形成し、サイリスタ200aはいわゆる増幅ゲート型サイリスタを構成している。

【0039】増幅ゲート型サイリスタにおいては補助サイリスタ300を流れる電流を主たるサイリスタであるPエミッタ層201、Nベース層202、Pベース層203及びNエミッタ層204のトリガ電流として用いることができるので、小さなゲートトリガ電流でターンオンをする事が可能である。

【0040】サイリスタ200aにおいては、結晶欠陥は領域211aにおいてのみ導入され、この領域211aにおけるキャリアのライフタイムは他の領域のそれよりも短い。領域211aは、ゲート電極207からNエミッタ層204の内周にまで至る領域の下方に設定される。従って、補助サイリスタ300におけるターンオフ時間が短くなり、サイリスタ200a全体のターンオフ時間をも短くすることができる。その一方で主たるサイリスタであるPエミッタ層201、Nベース層202、Pベース層203及びNエミッタ層204におけるキャリアのライフタイムは長いので、オン電圧の増大を招くことがない。

【0041】第4実施例：図8は本発明の第4実施例であるサイリスタ200bの断面図である。サイリスタ200bは半導体の積層構造及び電極の配置に関しては、第3実施例のサイリスタ200aと同一の構成を有している。しかし、サイリスタ200aとは異なり、結晶欠陥を導入する領域211b、211cはそれぞれゲート電極207の下方と、Nエミッタ層204及びN層209の挟む領域の下方とに設定される。

【0042】この様に結晶欠陥を導入する領域を設定することにより、補助サイリスタ300のみについて考えると、第1実施例において示されたサイリスタ100aと同様にオン電圧を増大させることがない。N層209及び、その下方に位置するPエミッタ層201、Nベース層202、Pベース層203の積層構造においてはキャリアのライフタイムが長いのである。

【0043】これはサイリスタ200b全体にとっては d_i/d_t 耐量の増加となり、ターンオン時のスッチングロスを抑制する効果を与える。

【0044】第5実施例：図9は本発明の第5実施例であるサイリスタ200cの断面図である。サイリスタ200cは半導体の積層構造及び電極の配置に関しては、サイリスタ200a、200bと同一の構成を有している。しかし、サイリスタ200a、200bとは異なり、結晶欠陥を導入する領域211dはゲート電極207からNエミッタ層204の内周にまで至る領域の下方

であって、且つNベース層202に限定される。

【0045】このように限定しても、Nベース層202に蓄積された少数キャリアがサイリスタ200cのオン電圧を増大させることがない。その一方、第2実施例と同様にゲート特性を劣化させることもない。

【0046】図10は本発明の第5実施例の変形例であるサイリスタ200dの断面図である。サイリスタ200dは半導体の積層構造及び電極の配置に関しては、サイリスタ200a~200cと同一の構成を有している。しかし、サイリスタ200a~200cとは異なり、結晶欠陥を導入する領域211e、211fはそれぞれゲート電極207の下方と、Nエミッタ層204及びN層209の挟む領域の下方であって、且つNベース層202に限定される。

【0047】このように限定することにより、Nベース層202に蓄積された少数キャリアのライフタイムを短くすることができる一方、第4実施例と同様に補助サイリスタ300のオン電圧を増大させることがない。よってサイリスタ200d全体にとっては d_i/d_t 耐量の増加となり、ターンオン時のスッチングロスを抑制する効果を与える。しかも第2実施例と同様にゲート特性を劣化させることもない。

【0048】

【発明の効果】この発明のうち請求項1にかかるサイリスタにおいては、オン電圧を増大させることなくターンオフ時間を短縮できる。

【0049】この発明のうち請求項2にかかるサイリスタにおいては、ゲート特性を劣化させることなく請求項1にかかる発明の効果を得ることができる。

【0050】この発明のうち請求項3にかかるサイリスタにおいては、サイリスタの d_i/d_t 耐量の増加を招き、ターンオン時のスッチングロスを抑制する。

【図面の簡単な説明】

【図1】 本発明の第1実施例の構造を示す平面図である。

【図2】 本発明の第1実施例の構造を示す断面図である。

【図3】 本発明の第1実施例の変形例の構造を示す断面図である。

【図4】 本発明の第2実施例の構造を示す断面図である。

【図5】 本発明の第2実施例の変形例の構造を示す断面図である。

【図6】 本発明の第3実施例の構造を示す平面図である。

【図7】 本発明の第3実施例の構造を示す断面図である。

【図8】 本発明の第4実施例の構造を示す断面図である。

【図9】 本発明の第5実施例の構造を示す断面図であ

(6)

9

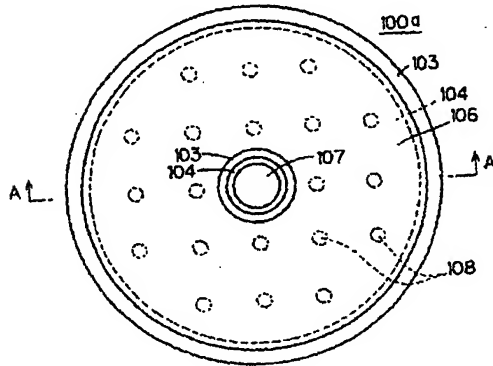
る。
【図10】 本発明の第5実施例の変形例の構造を示す断面図である。

【図11】 従来のサイリスタの構造を示す平面図である。

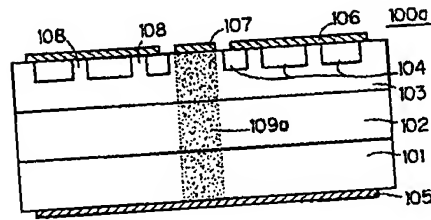
【図12】 従来のサイリスタの構造を示す断面図である。

【符号の説明】

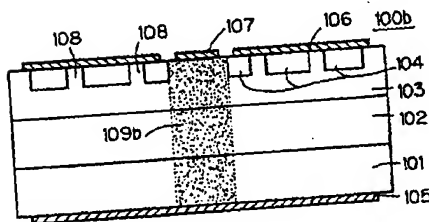
【図1】



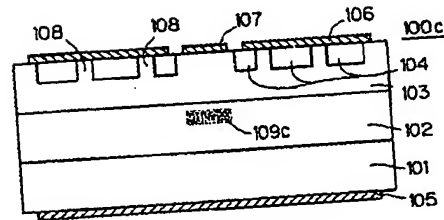
【図2】



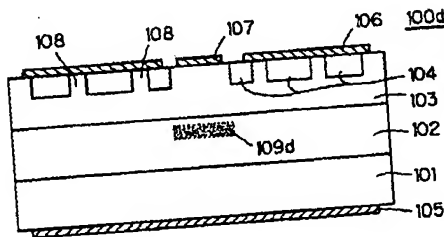
【図3】



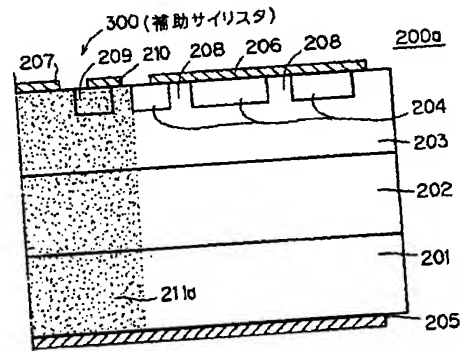
【図4】



【図5】

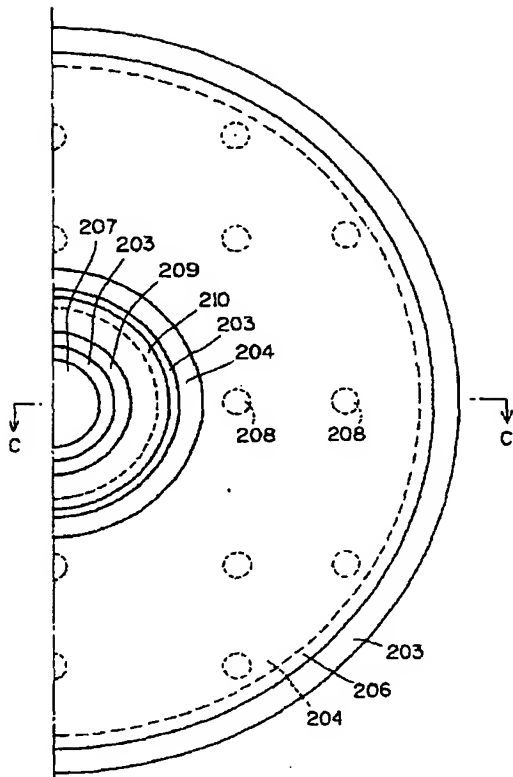


【図7】

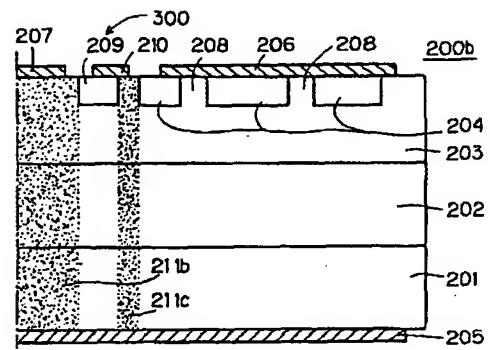


100a~100d, 200a~200d:サイリスタ
101, 201:Pエミッタ層 105, 205:アノード電極
102, 202:Nベース層 106, 206:カソード電極
103, 203:Pベース層 107, 207:ゲート電極
104, 204:Nエミッタ層 109a~109d, 211a~211f:領域

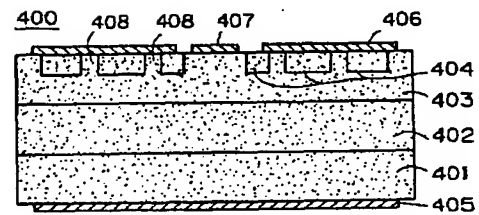
【図6】



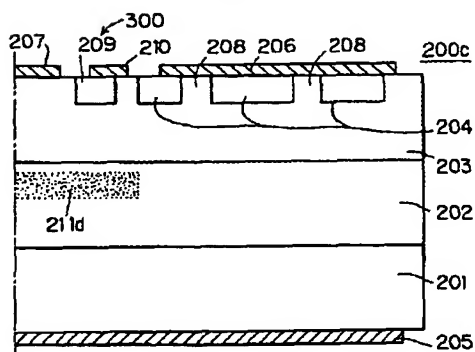
【図8】



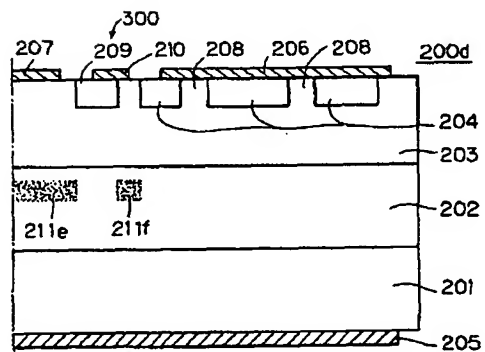
【図12】



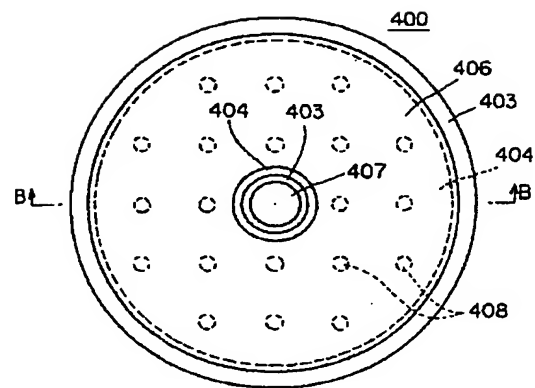
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 佐藤 克己
福岡市西区今宿東一丁目1番1号 三菱電
機株式会社福岡製作所内